

【54】名稱：快閃記憶體之高效率資料特性辨識裝置

【21】申請案號：094212102

【22】申請日：中華民國94(2005)年7月15日

【72】創作人：謝仁偉；張立平；郭大維；謝享奇

【71】申請人：創惟科技股份有限公司

臺北縣新店市北新路3段205號12樓至14樓

【74】代理人：陳志浩

1

2

[57]申請專利範圍：

1. 一種快閃記憶體之高效率資料特性辨識裝置，係包含：

一指令暫存器，連結一快閃記憶體讀寫控制電路之控制命令端，以暫存該快閃記憶體讀寫控制電路之控制命令端送出之上層讀寫控制命令；

一資料暫存器，連結於快閃記憶體讀寫控制電路之一資料匯流排及一快閃記憶體之資料匯流排間，以暫

存欲寫入快閃記憶體或自快閃記憶體讀出之資料；

一位址暫存器，連結於快閃記憶體讀寫控制電路之位址匯流排及一快閃記憶體之位址匯流排間，以暫存快閃記憶體讀寫控制電路之上層邏輯位址或是存取快閃記憶體的實體位址；

一微處理器，連結指令暫存器，以承受快閃記憶體讀寫控制電路送出

之快閃記憶體上層資料讀寫控制命令而作為快閃記憶體資料讀寫控制核心及程式執行、運算之中樞；

若干輔助控制器，連結於微處理器，作為用來協助微處理器與其他元件溝通的輔助電路，其中一輔助控制器連結於微處理器與資料暫存器、位址暫存器之間，以使微處理器得以與該資料暫存器、位址暫存器進行間接之資料及位址訊號連結；

若干雜湊函式單元，各雜湊函式單元具有一輸入端及輸出端，各輸入端連結至位址暫存器，以從位址暫存器中輸入取得快閃記憶體讀寫控制電路之上層邏輯位址資料進行雜湊表運算，並由各輸出端輸出；

一雜湊表單元，連結各雜湊函式單元之輸出端，內部規劃設有若干個計數器組成一雜湊表，藉以由各雜湊函式單元之輸出端引進初步處理運算之數值，以找出在該雜湊表中對應計數器的索引值及判定某邏輯位址所儲存的資料是否時常被更改；

一比較器，連結於一輔助控制器及雜湊表單元之間，用來判定雜湊表單元中之雜湊表中特定計數器的前幾個最重要位元是否皆為零，以作為該快閃記憶體中之資料是否經常被更新之判斷依據；

一移位器，連結於一輔助控制器及雜湊表單元之間，提供雜湊表單元中之雜湊表中所有的計數器之值皆向右移一個位元，同時最左邊的位元補零之半衰期運算；及

一加法器，連結於一輔助控制器及雜湊表單元之間，提供雜湊表單元中之雜湊表的計數器之值進行加一更新運算。

5. 2.如申請專利範圍第1項所述之快閃記憶體之高效率資料特性辨識裝置，其中，該雜湊函式單元係為基本邏輯閘組合電路。
10. 3.如申請專利範圍第1項所述之快閃記憶體之高效率資料辨識裝置，其中，該雜湊函式單元係為單晶片微處理器。
15. 4.如申請專利範圍第1項所述之快閃記憶體之高效率資料辨識裝置，其中，該雜湊表單元之計數器為4位元計數器。

圖式簡單說明：

第一圖係本創作之系統方塊電路圖；

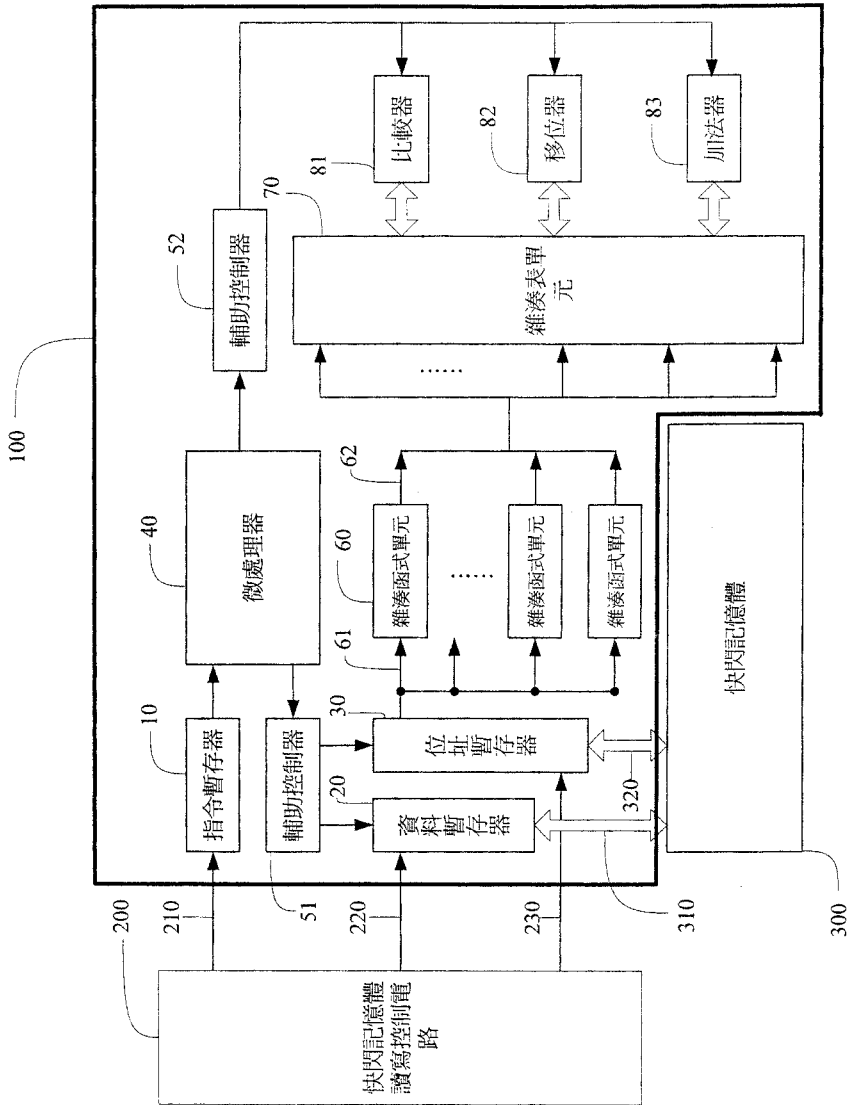
20. 第二圖係本創作之各雜湊函式單元、雜湊表單元、比較器、移位器及加法器對快閃記憶體之邏輯區塊位址運算之狀態更新圖之一；

第三圖係本創作之各雜湊函式單元、雜湊表單元、比較器、移位器及加法器對快閃記憶體之邏輯區塊位址運算之狀態更新圖之二；

25. 第四圖係本創作之各雜湊函式單元、雜湊表單元、比較器、移位器及加法器對快閃記憶體之邏輯區塊位址運算之狀態更新圖之三；

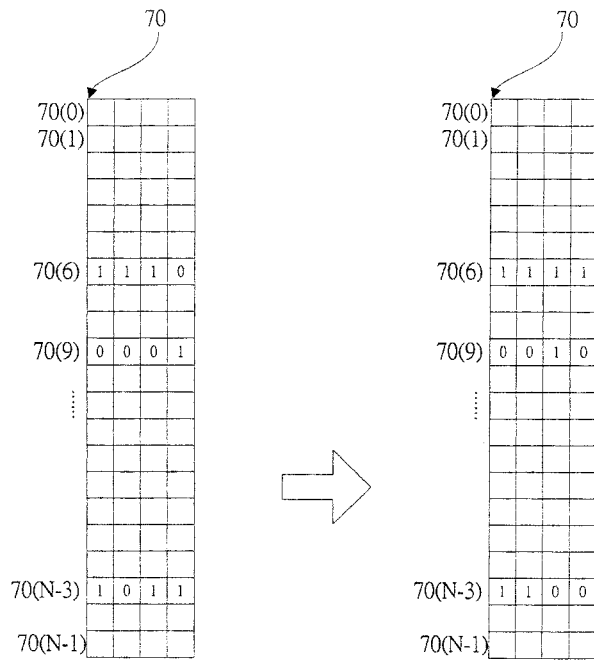
第五圖係本創作之各雜湊函式單元、雜湊表單元、比較器、移位器及加法器對快閃記憶體之邏輯區塊位址所儲存資料之特性檢查圖。

35.



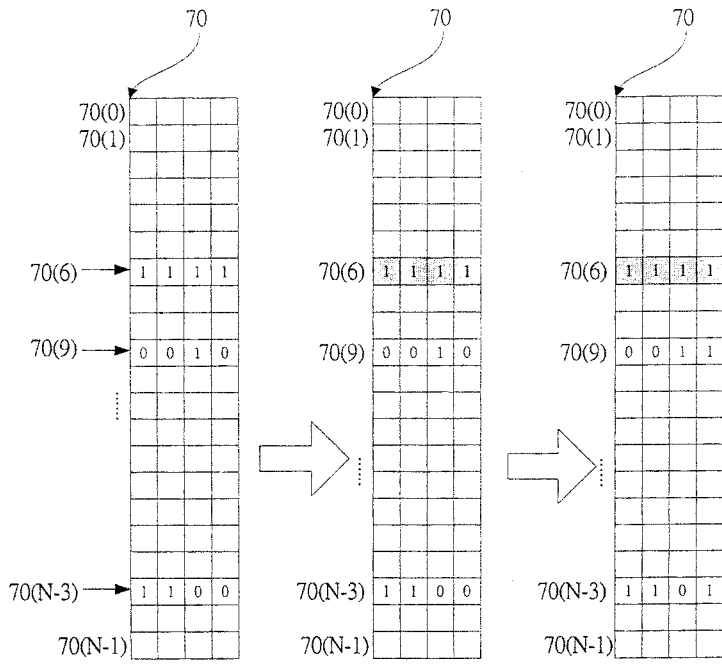
第一圖

(4)



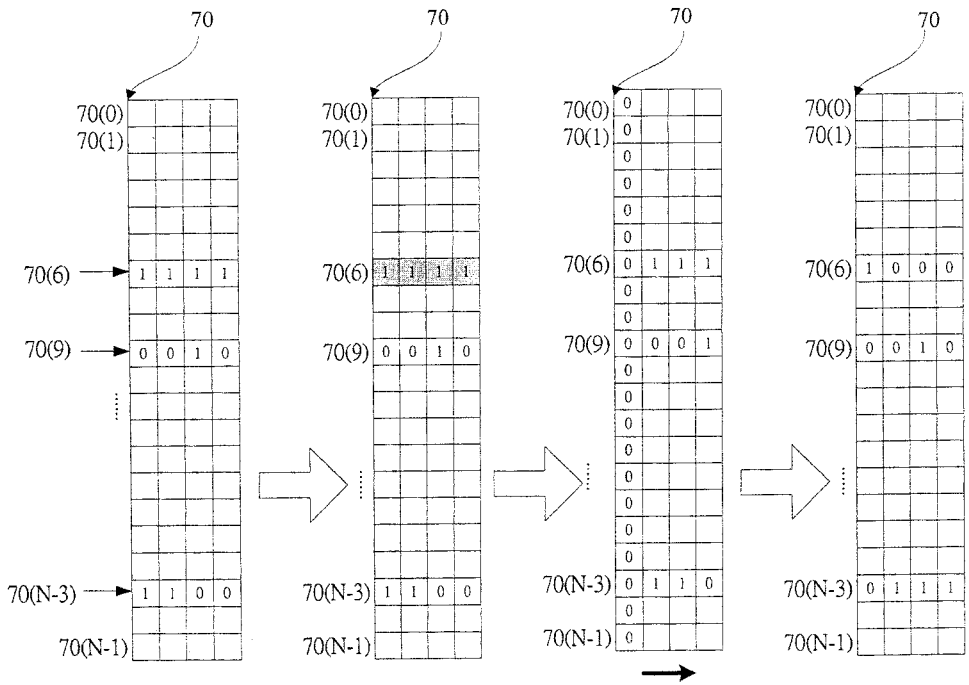
第二圖

(5)



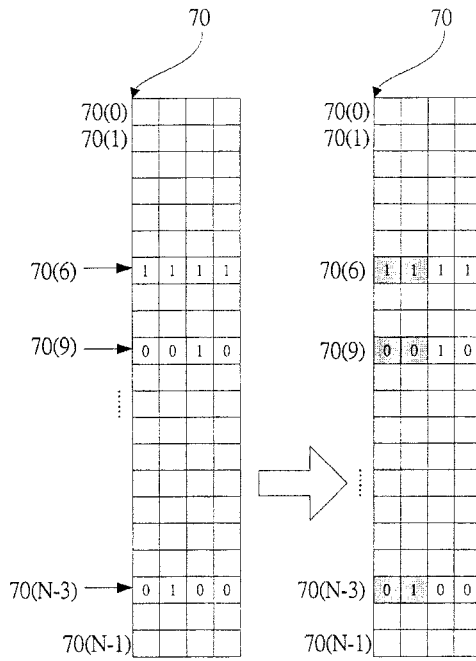
第三圖

(6)



第四圖

(7)



第五圖

