

【11】證書號數：I352898

【45】公告日：中華民國 100 (2011) 年 11 月 21 日

【51】Int. Cl. : G06F12/00 (2006.01) G06F13/16 (2006.01)

發明

全 8 頁

【54】名稱：具有預載機制之 NOR 介面快閃記憶體裝置及其預載方法
NOR INTERFACE FLASH MEMORY DEVICE WITH PREFETCH
PROCEDURE AND PREFETCH METHOD

【21】申請案號：096132959 【22】申請日：中華民國 96 (2007) 年 09 月 04 日

【11】公開編號：200912638 【43】公開日期：中華民國 98 (2009) 年 03 月 16 日

【72】發明人：林建宏 (TW) LIN, CHIEN HUNG；張原豪 (TW) CHANG, YUAN HAO；謝仁偉 (TW) HSIEH, JEN WEI；郭大維 (TW) KUO, TEI WEI；楊政智 (TW) YANG, CHENG CHIH

【71】申請人：創惟科技股份有限公司 GENESYS LOGIC, INC.
新北市新店區北新路 3 段 205 號 12 樓

【74】代理人：劉育志

【56】參考文獻：

TW 200411673A

TW 200641646A

US 2003/0028699A1

US 2007/0002631A1

[57]申請專利範圍

1. 一種具有一預載機制之 NOR 介面快閃記憶體裝置，包含：一 NAND 型快閃記憶體，用以儲存至少一資料，該些資料係為一應用程式；一 NOR 型快閃記憶體介面，接收來自一主機之至少一指令，用以存取對應之該應用程式；一預先載入程序單元，根據該預載機制之一存取預測資訊，依照一預定順序自該 NAND 型快閃記憶體讀取該應用程式；以及一快取記憶體，用以儲存該應用程式，透過該 NOR 型快閃記憶體介面，供該主機存取，其中預先載入程序單元蒐集該應用程式先前對該 NAND 型快閃記憶體之一存取軌跡，以所具有之一學習機制，產生該預載機制之該存取預測資訊。
2. 如申請專利範圍第 1 項所述具有一預載機制之 NOR 介面快閃記憶體裝置，更進一步包含一轉換器，用以將該 NOR 型快閃記憶體介面之一第一存取模式換算為該 NAND 型快閃記憶體之一第二存取模式。
3. 如申請專利範圍第 2 項所述具有一預載機制之 NOR 介面快閃記憶體裝置，其中該第一存取模式係以位元組為單位。
4. 如申請專利範圍第 2 項所述具有一預載機制之 NOR 介面快閃記憶體裝置，其中該第二存取模式係以頁面(Page)為單位。
5. 如申請專利範圍第 1 項所述具有一預載機制之 NOR 介面快閃記憶體裝置，其中該 NAND 型快閃記憶體更進一步包含一保留區用以儲存該存取預測資訊。
6. 如申請專利範圍第 1 項所述具有一預載機制之 NOR 介面快閃記憶體裝置，其中該存取軌跡係為該應用程式對該 NAND 型快閃記憶體存取之複數個邏輯區塊位址(Logical Block Address)。
7. 如申請專利範圍第 1 項所述具有一預載機制之 NOR 介面快閃記憶體裝置，其中該 NAND 型快閃記憶體更進一步儲存一分歧表，用以儲存該應用程式存取至少一分歧點後之該存取預測資訊。

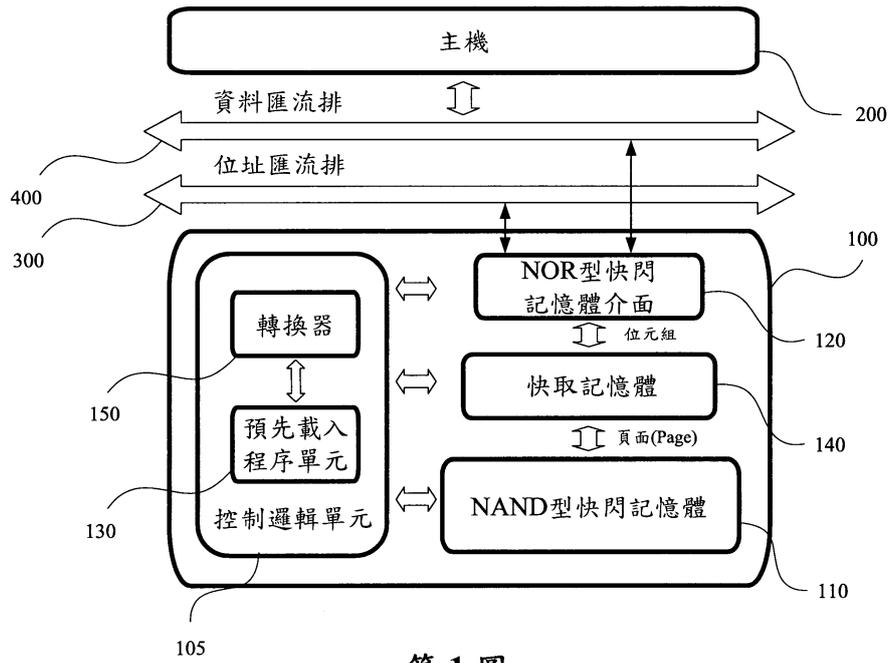
(2)

8. 如申請專利範圍第項所述具有一預載機制之 NOR 介面快閃記憶體裝置，其中該存取預測資訊係採用一貪婪演算法，決定該預先載入程序單元自該 NAND 型快閃記憶體讀取該些資料之該預定順序。
9. 一種具有預載機制之 NOR 介面快閃記憶體裝置的預載方法，用以將一 NAND 型快閃記憶體儲存之至少一資料載入一快取記憶體，儲存於該 NAND 型快閃記憶體中之該些資料係為一應用程式，該方法包含下列步驟：蒐集該應用程式先前對該 NAND 型快閃記憶體之一存取軌跡，以該 NOR 介面快閃記憶體裝置所具有之一預先載入程序單元之一學習機制，產生該預載機制之一存取預測資訊；透過一 NOR 型快閃記憶體介面接收來自一主機之至少一指令，用以存取對應之至少一資料；根據該預載機制之該存取預測資訊，依照一預定順序自該 NAND 型快閃記憶體讀取該應用程式；以及儲存該應用程式於該快取記憶體，供與 NOR 介面快閃記憶體裝置連接之一主機存取。
10. 如申請專利範圍第 9 項所述之方法，於接收來自該主機之該指令的步驟後，更包含一步驟，其中以一轉換器將該 NOR 型快閃記憶體介面之一第一存取模式換算為該 NAND 型快閃記憶體之一第二存取模式。
11. 如申請專利範圍第 9 項所述之方法，於接收來自該主機之該指令的步驟前，更包含一步驟，其中儲存該存取預測資訊於該 NAND 型快閃記憶體之一保留區。
12. 如申請專利範圍第 9 項所述之方法，於接收來自該主機之該指令的步驟前，更包含一步驟，其中儲存一分歧表，用以儲存該應用程式存取至少一分歧點後之該存取預測資訊。
13. 如申請專利範圍第 9 項所述之方法，其中該存取預測資訊係採用一貪婪演算法，決定該預先載入程序單元自該 NAND 型快閃記憶體讀取該些資料之該預定順序。

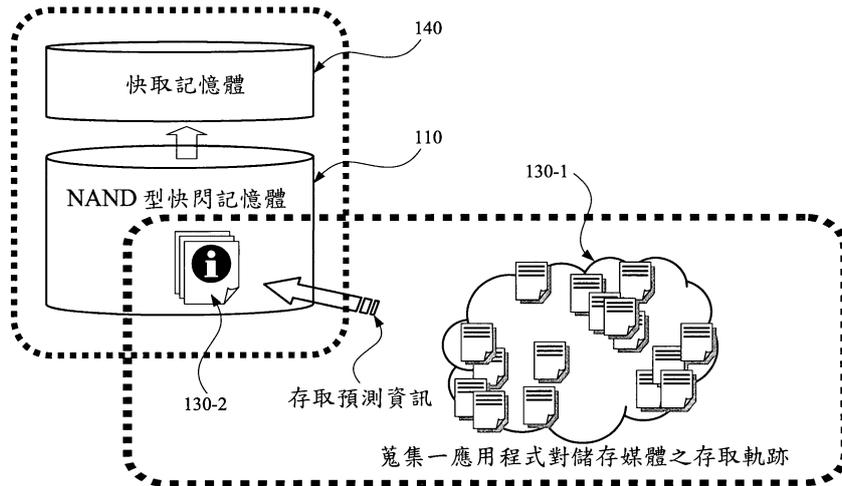
圖式簡單說明

第 1 圖係本發明之 NOR 介面快閃記憶體裝置的功能方塊圖；第 2 圖係繪示先蒐集一應用程式對儲存媒體之存取軌跡，產生一存取預測資訊，儲存於 NAND 型快閃記憶體內，用以供本發明預載機制利用之示意圖；第 3 圖係於本發明之一實施例中，預載機制所利用存取預測資訊之預測圖；第 4 圖係於本發明之一實施例中，存取預測資訊的分歧表內容之示意圖；第 5 圖係依據本發明，確認是否啟動預載機制之方法的流程圖；第 6 圖係本發明預載機制之預載方法流程圖；第 7 圖係顯示對應第 3 圖，根據存取預測資訊之預測圖，將分歧點之資訊載入快取記憶體之順序的示意圖；以及第 8 圖係本發明預載機制之預載方法以及判斷是否停止預載機制之詳細方法流程圖。

(3)

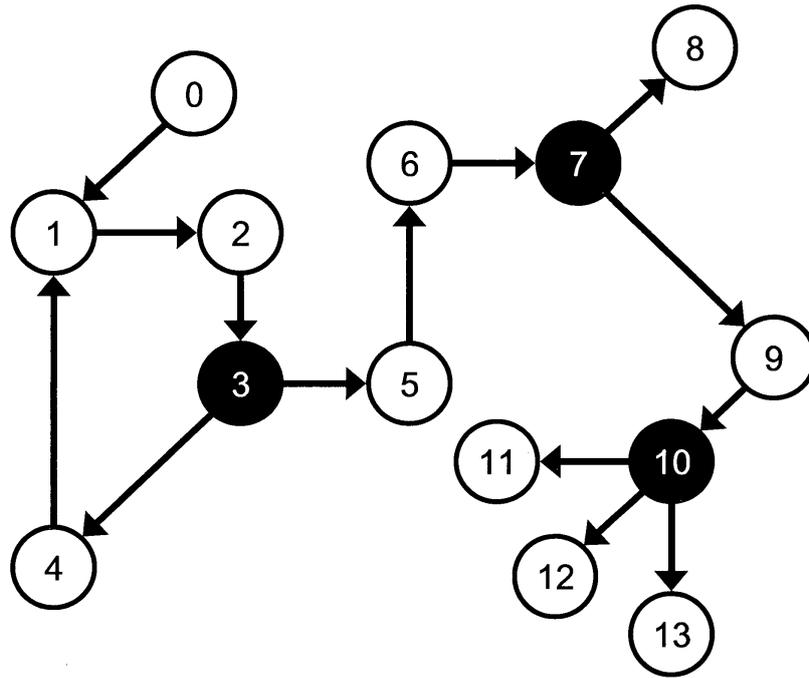


第 1 圖



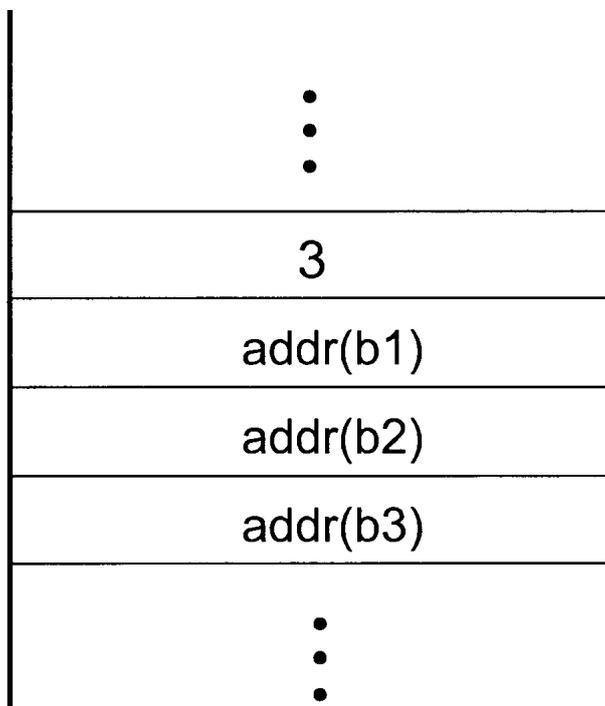
第 2 圖

(4)



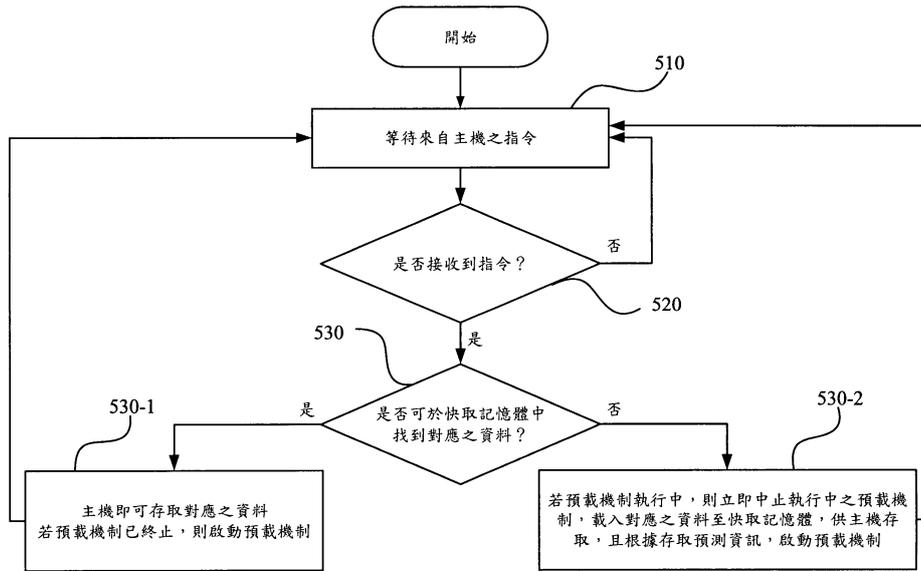
第 3 圖

(5)



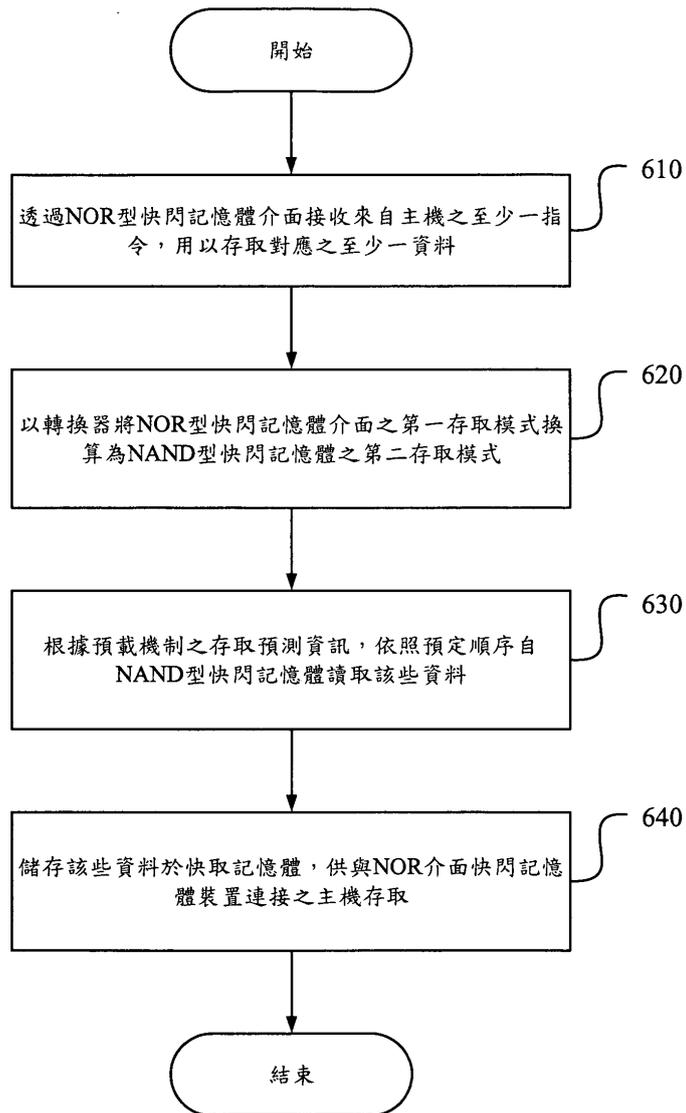
第 4 圖

(6)



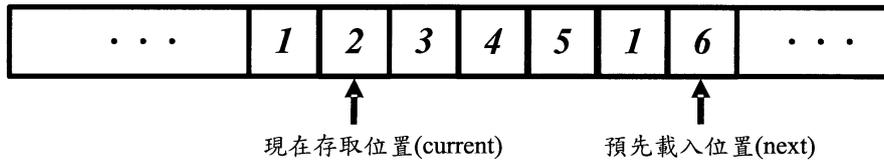
第 5 圖

(7)

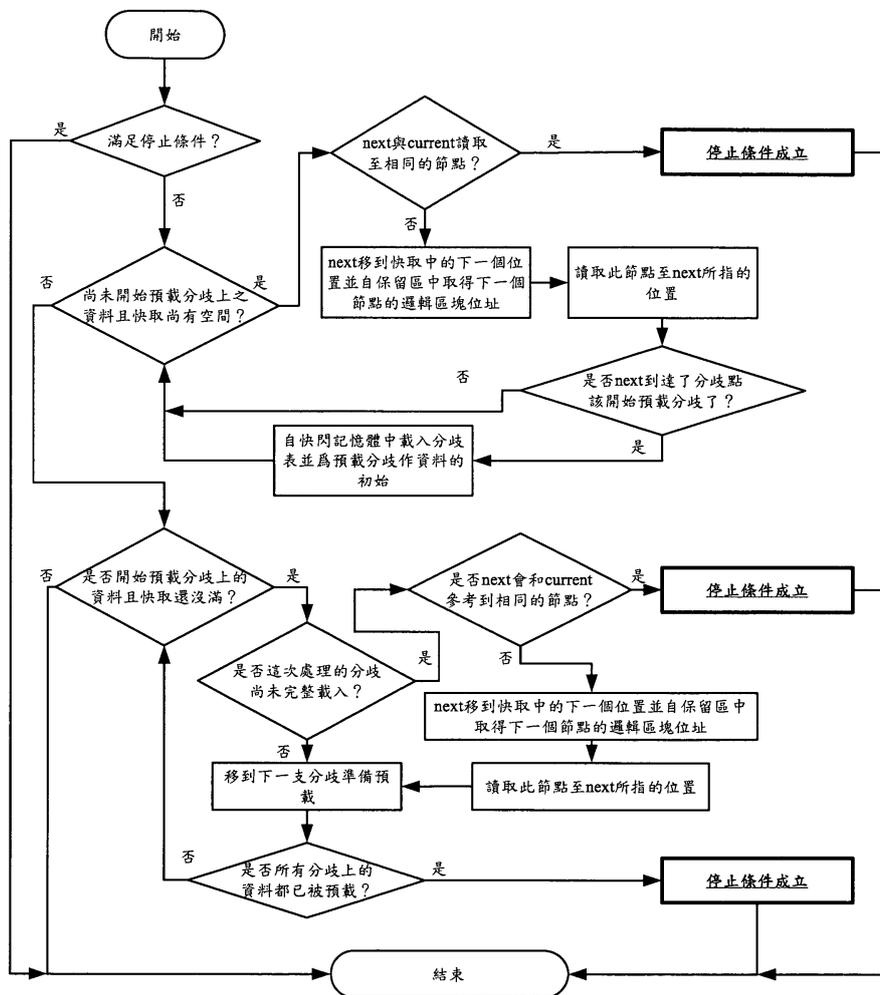


第 6 圖

(8)



第 7 圖



第 8 圖